

14 位 200 MS/s 电流舵式 D/A 转换器的设计

宁可庆,戴 澜,孙海燕

(北方工业大学 微电子系,北京 100144)

摘 要:设计了一款基于 SMIC 0.18 μm 标准 CMOS 工艺的 14-bit CMOS 分段式数模转换芯片.采用 5+4+5 分段式结构,通过二进制计码和温度计码结合的方法对输入数字量进行译码.通过使用高输出阻抗的共源共栅电流源结构提高了 DAC 整体性能.采用了 Q^2 随机漫步选择方法对电流源和开关阵列进行版图布局,保证了版图的对称性和减少梯度误差的影响.最终在信号频率为 0.999 3 MHz,采样频率为 200 MHz 的情况下,SFDR 后仿真结果超过 90 dB.

关键词: CMOS; 电流舵; 数模转换; SFDR

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2016)07-0079-04

A 14-bit 200 MS/s Current-steering D/A Converter

NING Ke-qing, DAI Lan, SUN Hai-yan

(Department of Microelectronics, North China University of Technology, Beijing 100144, China)

Abstract: A 14-bit current-steering digital to analog converter with segmented structure is designed and fabricated by SMIC 0.18 μm technology in this paper. It adopts 5+4+5 segmented architecture and both binary and thermometer decoder are resulted in this design. Cascode current source construction is adopted to improve its output impedance which is crucial to the performance of the proposed DAC. Q^2 Random Walk switching scheme is applied to ensure the systematic and decrease the graded errors in the layout of current source. With 0.999 3 MHz input signal and 200 MHz sample clock the SFDR of the DAC is over 90 dB.

Key words: CMOS; current steering; digital-to-analog; SFDR

1 引言

电子系统的数据处理能力和处理速度持续提升,对将数字信号转换为模拟信号的数模转换器(DAC)的性能提出了更高要求.高性能 DAC 首选电流舵结构.现在国内主流数模转换器多集中在 12、14 位,在精度如此高的情况下,电流源单元的随机误差对 D/A 转换器整体性能的影响更加明显,因此合理有效地改善电流源及开关阵列的性能成为了提高 D/A 转换器性能的重要手段.

本文完整地介绍了一款 14 位 D/A 转换芯片的设计,对各部分结构、电路原理及性能、影响 DAC 误差进行分析和研究.对电路进行仿真和设计,对电流源和开关阵列版图时采用 Q^2 Random 布局算法减少单位电流源的随机误差.最终对电路进行后

仿真.

2 DAC 整体结构

设计的电流舵 DAC 总体架构如图 1 所示.整体采用 5+4+5 的分段结构,低 5 位采用二进制编码,中 4 位和高 5 位采用温度计码,具体如下:先通过寄存器对输入数字代码进行同步,然后通过译码电路将对应的分段进行相应译码,译码输出信号作为控制信号对输出电流源单元阵列进行开关,电流源单元阵列总的输出电流源输出到负载电阻,产生输出电压,完成数模转换器功能.其中,低 5 位的二进制译码部分控制的 5 个电流源单元,其电流大小依据输入数字代码每位对应的权值正相关;中 4 位和高 5 位分别采用 15、31 个相同大小的电流源进行实现.

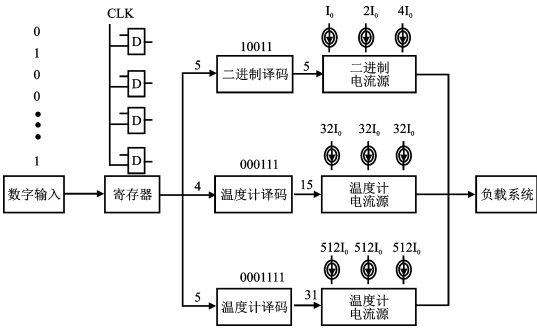


图 1 DAC 整体原理框图

3 关键模块研究与设计技术

3.1 电流源单元晶体管尺寸确定

电流源阵列的随机误差很大程度上会影响 DAC 芯片的性能^[1],因此合理的控制好随机误差是非常关键的一个环节。由梯度模型^[2]知:

$$\Delta I_u = \Delta \beta_u \frac{\partial I_u}{\partial \beta_u} + (\Delta V_{GS} - \Delta V_T) \frac{2I_u}{V_{SG} - |V_T|} \quad (1)$$

将它与 MOS 管电流公式结合化简可得:

$$\frac{\Delta I_u}{I_u} = \frac{\Delta \beta_u}{\beta_u} + 2 \frac{\Delta V_{SG} - \Delta |V_T|}{V_{SG} - |V_T|} \quad (2)$$

而由于随机相对匹配误差可以用面积来量化,因此得到:

$$\sigma^2 \left(\frac{\Delta I_u}{I_u} \right) \approx \frac{A_\beta}{\beta_u} + \frac{4}{(V_{SG} - |V_T|)^2} \frac{A_{V_T}}{WL} = \frac{1}{WL} \left[\frac{4A V_T}{(V_{SG} - |V_T|)^2} \right]^2 = \frac{\alpha_r}{WL} \quad (3)$$

又根据晶体管失配模型^[3]知:

$$(WL)_{\min} = \frac{1}{2} \left[A_\beta^2 + \frac{4A_{V_T}^2}{(V_{GS} - V_T)^2} \right] / \left(\frac{\sigma_I}{I} \right)^2 \quad (4)$$

因此根据以上理论指导,推算出电流源最适合的宽长尺寸来减小随机失配误差。如图 2 所示。

3.2 阻抗分析及选通开关设计

电流源单元输出阻抗对电流舵 DAC 的动态性能影响很大,较大的电流源输出阻抗是高性能电流舵 DAC 的基本要求。文中采用共源共栅电流源来得到高输出阻抗。同时,电流源单元的输出开关对性能也有直接影响。

电流源单元输出阻抗和 DAC 性能的关系式^[4]如下:

$$INL = \frac{I_{unit} R_{load}^2 N^2}{4R_{imp}} \quad (5)$$

式中, R_{load} 是负载电阻; I_{unit} 是最小电流源单元; N 为

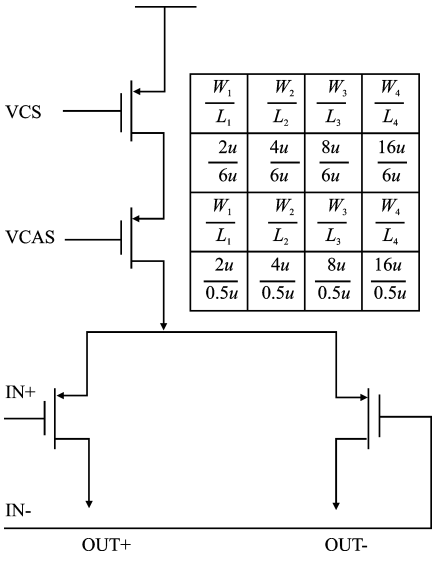


图 2 电流源、开关结构及电流源尺寸

电流源单元的总个数。由公式可知, R_{imp} 越大, INL 越小。因此提高电流源开关的输出阻抗成为了优化 DAC 性能的关键手段。而又由其阻抗表达式^[4]知:

$$Z_{imp} = r_{0sw} (1 + g_{msw} (r_{0cs} // C_0)) = r_{0sw} (1 + g_{msw} r_{0cs}) \left(\frac{1 + j\omega C_0 / g_{msw}}{1 + j\omega C_0 r_{0cs}} \right) \quad (6)$$

如图 3 所示,其中 M_{CS} 为共源共栅电流源输出电流管, M_{SW} 为选通开关。

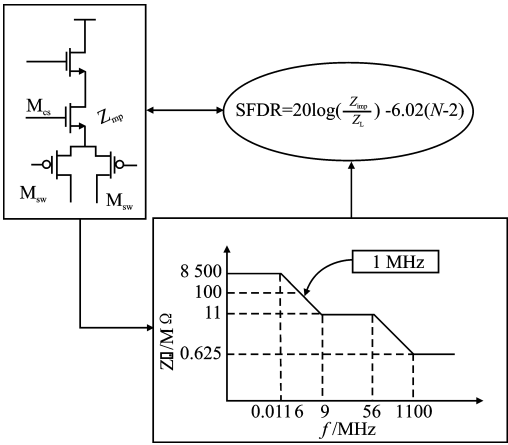


图 3 电流源输出阻抗与信号频率关系示意图

由 SFDR 跟输出阻抗的关系表达式:

$$SFDR = 20\log \left(\frac{Z_{imp}}{Z_L} \right) - 6.02(N-2) \quad (7)$$

Z_{imp}/Z_L 很大程度上直接决定了 SFDR 的高低。而图中曲线为电流源及开关输出阻抗随信号频率的变化关系。很明显,随着信号频率的增大,输出阻抗逐步降低,这种变化趋势在式(7)也反映出来。

对电流源输出阻抗进行高频仿真可以有效提高

DAC 的高频特性,在给定电流源单元晶体管 M_{SW} 尺寸的情况下,然后仿真阻抗与频率的变化关系。

在低频情况下,阻抗最高大约为 $180\text{ G}\Omega$ 。在信号频率上升到 1 MHz 时输出阻抗就下降到了 $10\text{ M}\Omega$ 。对 M_{SW} 尺寸进行扫描仿真,得到不同尺寸下输出阻抗随信号频率变化情况,如图 4 中(b)所示,可以看出 M_{SW} 的宽越小,对应的低频情况下输出阻抗也越小。同时由于 M_{SW} 的栅源之间、栅漏之间的寄生电容都跟 M_{SW} 管的宽度正相关,因此在设计 M_{SW} 的宽长比时需要折衷考虑。

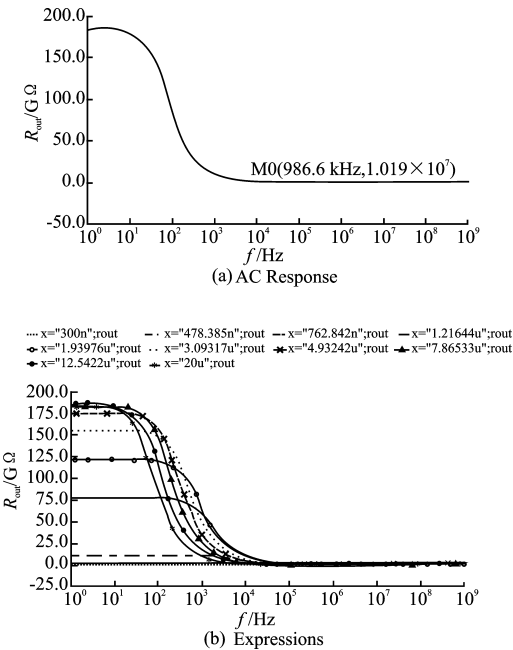


图 4 电流源的输出阻抗随信号频率变化的仿真结果

3.3 DAC 版图布局

由前面的误差分析可知电流源的匹配对 DAC 性能的影响很大,在高精度 DAC 的设计中,电路级别的匹配优化已经不能明显提高 DAC 的各类指标了,必须在版图的设计上减小匹配误差,才能获得更好的性能。利用 Q^2 随机漫步布局算法来设计电流源阵列版图分布方案会将电流源失配随机化,使得累积误差最大程度地降低。

首先将电流源阵列行列进行“洗牌”式分布。如图 5(a)所示,第一个单元(1,1)位于阵列的正中心,第二个单元(2,1)位于阵列的右方,第三个单元(3,1)位于阵列的左方等等。这其中每一个小方块代表的电流源大小都相等。而为了进一步减小数目如此庞大的电流源的随机误差,我们对电流源进行分割。如前面提到的中 4 位温度码对应的 15 个 $32I_0$,加上 dummy 电流源一共 16 个中位电流源。如图 5(b)

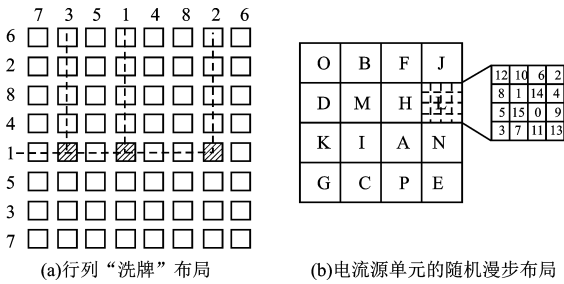


图 5 行列“洗牌”布局与电流源单元的随机漫步布局

所示,将这 16 个电流源每个都分成 16 份。字母 A、B...P 分别代表 16 个电流源,将它们都分为 0 到 15 号电流源,按照图中 L 方块的分布方式进行分布,则每个电流源的小块都散落在阵列的各个地方。如表 1 所示,是 256 个小电流源的分布情况。其中 0~15 号电流源是由电流源 A 拆分而成,16~31 号电流源是由电流源 B 拆分而成,依次类推。表中加 Δ 标注、加 $\bigcirc$ 标注和加 $\square$ 标注的分别是三个电流源各分成的 16 份。使用这种方案可以将相关误差转化成伪噪声,使得针对随机误差推出的公式对梯度误差仍然可以使用。

表 1 电流源随即漫步分布

206	174	110	Δ	193	161	97	Δ	197	165	101	Δ	201	169	105	Δ
142	$\square$	238	78	129	$\square$	225	65	133	$\square$	229	69	137	$\square$	233	73
94	254	$\square$	158	81	241	$\square$	145	85	245	$\square$	149	89	249	$\square$	153
62	126	190	222	49	113	177	209	53	117	181	213	57	121	185	217
195	163	99	$\square$	204	172	108	Δ	199	167	103	$\square$	203	171	107	Δ
131	$\square$	227	67	140	$\square$	236	76	135	$\square$	231	71	139	$\square$	235	75
83	243	$\square$	147	92	252	$\square$	156	87	247	$\square$	151	91	251	$\square$	155
51	115	179	211	60	124	188	220	55	119	183	215	59	123	187	219
202	170	106	Δ	200	168	104	Δ	192	160	96	Δ	205	173	109	Δ
138	$\square$	234	74	136	$\square$	232	72	128	$\square$	224	64	141	$\square$	237	77
90	250	$\square$	154	88	248	$\square$	152	80	240	$\square$	144	93	253	$\square$	157
58	122	186	218	56	120	184	216	48	112	176	208	58	122	186	218
198	166	102	Δ	194	162	98	Δ	207	175	111	Δ	196	164	100	Δ
134	$\square$	230	70	130	$\square$	226	66	143	$\square$	239	79	132	$\square$	228	68
86	246	$\square$	150	82	242	$\square$	146	95	255	$\square$	159	84	144	$\square$	148
54	118	182	214	50	114	178	210	63	127	191	223	52	116	180	212

而这样布局还可以降低电源金属走线过长,由金属线电阻导致的系统误差。图 6 是 14 bit 电流舵 DAC 的整体版图,其中左边的电流源阵列采用了 Q^2 Random 漫步算法来减小匹配误差。

4 仿真结果

基于 SMIC0.18 μm 混合 CMOS 工艺对本设计进行实现,采用 Cadence 和 Spectre 建立电路原理图和仿真。输出满偏电流为 20 mA ,输出负载设定为 $50\text{ }\Omega$ 电阻,因此输出电压范围是 2 V 。如图 7

(a)所示,输入信号频率为 0.999 3 MHz,时钟频率为 200 MHz,在 TT 工艺角下对整体版图提参之后的电路后仿真结果进行频谱分析,得出无杂散动态范围(SFDR)为 90.394 3 dB. 如图 7(b)所示,频谱图中除基波外最大谐波为-90.34 dB. 芯片整体性能指标如表 2 所示

表 2 14-bitDAC 整体性能指标

工艺	SMIC0.18 μm
功耗	90 mW
面积	1.7 mm×1.9 mm
采样频率	200 MHz
精度	14 bit
SFDR	90 dB(信号频率 1 MHz)
建立时间	16 ns

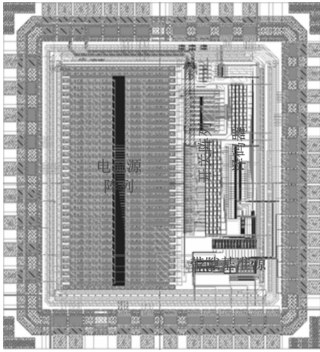


图 6 DAC 整体电路版图

5 结束语

本文基于 SMIC0.18 μm 混合 CMOS 工艺对一款 14 bit 200 MHz 电流舵 DAC 进行设计,整体采用 5+4+5 分段结构,电流源阵列采用 Q² Random 布局算法进行布局,采用 3.3 V 供电电源,仿真各个工艺角都得到合适的性能,其中在 TT 工艺角下,对电路的后仿真结果进行 8 192 点频谱分析,在输入信号频率为 0.999 3 MHz 情况下,SFDR 在 90 dB 以上,性能良好.

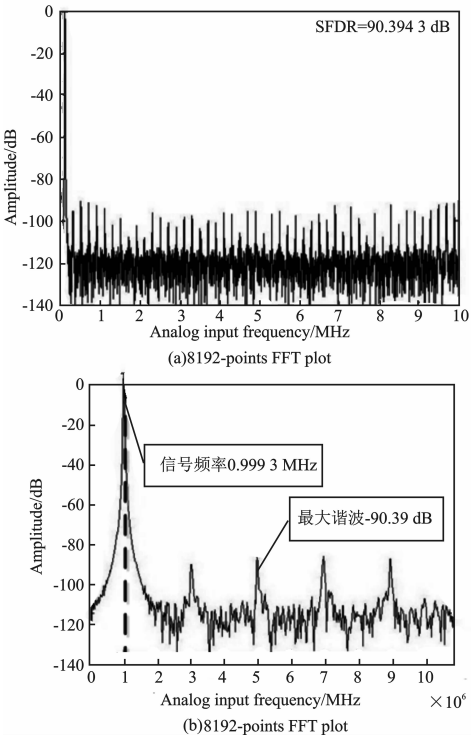


图 7 整体电路后仿真频谱图

参考文献:

[1] Van der Plas G A M, Vandenbussche J, Sansen W, et al. A 14-bit intrinsic accuracy Q² random walk CMOS DAC[J]. Solid-State Circuits, IEEE Journal of, 1999, 34(12): 1708-1718.

[2] 杨银堂,朱樟明,朱臻,等. 高速数据转换器[M]. 北京: 科学出版社,2006.

[3] Bastos J, Marques A M, Steyaert M S J, et al. A 12-bit intrinsic accuracy high-speed CMOS DAC[J]. Solid-State Circuits, IEEE Journal of, 1998, 33(12): 1959-1969.

[4] Steyaert M, Sansen W. Static and dynamic performance limitations for high speed D/A converters[M]. Berlin:Springer, 2004.

作者简介:

宁可庆 男,(1983-),博士研究生,实验师. 研究方向为大规模集成电路设计与测试.

戴 澜(通讯作者) 男,(1975-),副教授. 研究方向为大规模集成电路设计. E-mail:per_fectdai@163.com.